

À REVOIR / CYCLE / HISTOIRE DE L'INFORMATIQUE ET DU NUMÉRIQUE

La parallélisation de l'exécution des programmes séquentiels, de Tomasulo au Xeon

Avec François Anceau, professeur émérite au laboratoire d'informatique de Paris 6 (Lip6), département Systems On chip(SOC)

[Vidéo de la conférence](#) (patienter durant le chargement de la vidéo)

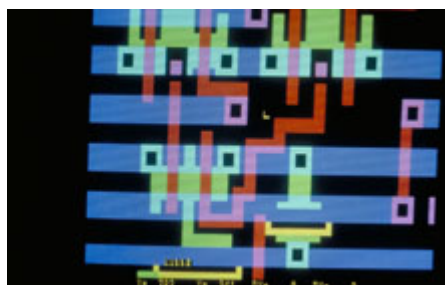
Depuis 1985 la performance des PC ne fait que croître sous la pression du marché et des logiciels qui demandent des machines de plus en plus puissantes. Outre l'évolution technologique, une partie importante de la satisfaction de cette requête se situe dans l'amélioration du parallélisme d'exécution des processeurs. L'architecture de ces machines, qui correspond à une véritable révolution architecturale, mériterait d'être considérée comme une nouvelle génération. Nous présenterons les évolutions de cette technique, depuis ses balbutiements dans les années 60 jusqu'à leur généralisation dans les processeurs, à partir de ceux conçus dans les années 1995 (Intel Pentium-Po, AMD K6, IBM 620...).

François Anceau, est l'ancien professeur de la chaire des Techniques fondamentales de l'informatique du Cnam, enseignant-chercheur à l'Imag (pôle mathématiques et Stic du site grenoblois), chez Bull et à l'Ecole Polytechnique. Il est l'auteur d'ouvrages en architecture des ordinateurs et en micro-électronique et effectue actuellement sa recherche au département Systems On Chip(SOC) du laboratoire **Lip6**.

Séminaire mensuel organisé par le Musée des arts et métiers du Cnam dans le cadre du projet *Vers un musée de l'informatique et de la société numérique*.

Tout public

[Entrée sur inscription gratuite](#)



20 novembre 2014

14h30 - 17h

Paris Saint-Martin/Conté

Contact
isabelle.astic@cnam.fr
[Envoyer un courriel](#) 